

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-11309

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl.⁶

G 0 6 F 11/18

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 11/18

技術表示箇所

3 1 0 C

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平8-158446

(22) 出願日 平成8年(1996) 6月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 守田 雄一郎

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 金川 信康

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 有田 裕

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

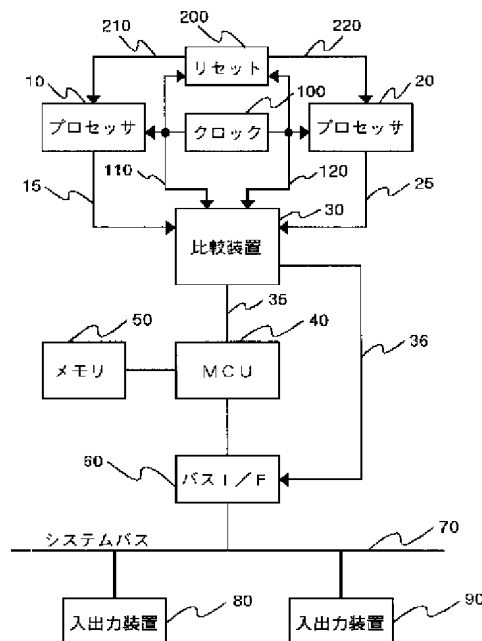
(54) 【発明の名称】 プロセッサ出力比較方法及びコンピュータシステム

(57) 【要約】

【課題】二重化したプロセッサの多重誤りおよび同一誤りを防ぎ、プロセッサの出力比較による誤り検出を確実に行う。

【解決手段】マスタ・プロセッサ10と、マスタ・プロセッサ10よりも(0.5+n)クロックサイクル(nは0以上の整数)遅れて動作するチェック・プロセッサ20と、マスタ・プロセッサ10の出力を(0.5+n)クロック遅延させてチェック・プロセッサ20の出力と比較する比較装置30と、マスタ・プロセッサ10と比較装置30にクロックを供給し、さらにチェック・プロセッサ20と比較装置30に前記クロックより位相が180°ずれたクロックを供給するクロック装置100と、マスタ・プロセッサ10よりも(0.5+n)クロック遅れてチェック・プロセッサ20をリセットするリセット装置200とを有する。

図 1



【特許請求の範囲】

【請求項1】 同一周波数のクロックで動作して同じ演算処理を行う2つのプロセッサの出力信号を比較して、一方のプロセッサの演算や出力の処理誤りを検出するプロセッサ出力比較方法において、一方のプロセッサに対し、他方のプロセッサの動作を
 [0. 5 + n] クロックサイクル（ここで、nは0以上の任意の整数）ないしその近傍範囲Δtを含む一定時間T_dだけ遅延し、また、前記一方のプロセッサの出力信号を前記一定時間T_dだけ遅延して前記他方のプロセッサの出力信号と比較することを特徴とするプロセッサ出力比較方法。

【請求項2】 請求項1において、前記近傍範囲Δtは、その上下限が±0. 33クロックサイクル又は、前記一定時間T_dが0の場合に発生する多重誤りが1/2以下になる範囲とするプロセッサ出力比較方法。

【請求項3】 所定の演算処理を行うマスタ・プロセッサと、マスタ・プロセッサと同一周波数のクロックで動作して前記演算処理を行うチェッカ・プロセッサと、マスタ・プロセッサとチェッカ・プロセッサにクロックを供給するクロック装置と、マスタ・プロセッサとチェッカ・プロセッサの出力信号を受信して比較する比較装置と、共有資源を備えるコンピュータシステムにおいて、マスタ・プロセッサと前記比較装置はマスタ・プロセッサバス、チェッカ・プロセッサと前記比較装置はチェッカ・プロセッサバス、前記比較装置と前記共有資源は第3のバスによってそれぞれ接続され、前記クロック装置は、マスタ・プロセッサへ供給するクロックに対し、チェッカ・プロセッサへのクロックを
 [0. 5 + n] クロックサイクル（nは0以上の任意の整数）ないしその近傍範囲を含む一定時間だけ遅れて供給するクロック遅延回路を備え、前記比較装置は、前記マスタ・プロセッサバスから受信したマスタ・プロセッサの出力信号を前記一定時間だけ遅延する第1遅延回路と、前記一定時間だけ遅延したマスタ・プロセッサの出力信号と前記チェッカ・プロセッサバスから受信したチェッカ・プロセッサの出力信号を比較する比較回路と、前記第3のバスから受信した前記共有資源の出力信号を前記マスタ・プロセッサバスと前記チェッカ・プロセッサバスの双方に出力する時に、前記チェッカ・プロセッサバスへの出力を前記一定時間だけ遅らせる第2遅延回路を備えることを特徴とするコンピュータシステム。

【請求項4】 所定の演算処理を行うマスタ・プロセッサと、マスタ・プロセッサと同一周波数のクロックで動作して前記演算処理を行うチェッカ・プロセッサと、マスタ・プロセッサとチェッカ・プロセッサにクロックを供給するクロック装置と、マスタ・プロセッサとチェッカ・プロセッサの出力信号を受信して比較する比較装置

と、共有資源を備えるコンピュータシステムにおいて、マスタ・プロセッサと前記共有資源と前記比較装置はマスタ・プロセッサバス、チェッカ・プロセッサと前記比較装置はチェッカ・プロセッサバスによってそれぞれ接続され、

前記クロック装置は、マスタ・プロセッサへ供給するクロックに対し、チェッカ・プロセッサへのクロックを
 [0. 5 + n] クロックサイクル（nは0以上の任意の整数）ないしその近傍範囲を含む一定時間だけ遅れて供給するクロック遅延回路を備え、

前記比較装置は、前記マスタ・プロセッサバスから受信した信号を前記一定時間だけ遅らせる信号遅延回路と、チェッカ・プロセッサの出力信号と前記一定時間だけ遅延したマスタ・プロセッサの出力信号を比較する比較回路と、前記信号遅延回路の出力信号が前記共有資源の出力信号の場合に前記チェッカ・プロセッサバスに出力する選択回路を備えることを特徴とするコンピュータシステム。

【請求項5】 請求項3または4において、マスタ・プロセッサのリセットを解除する第1リセット信号と、該第1リセット信号より前記一定時間だけ遅延してチェッカ・プロセッサのリセットを解除する第2リセット信号を出力するリセット装置を備えるコンピュータシステム。

【請求項6】 請求項3または4または5において、マスタ・プロセッサ及びチェッカ・プロセッサの出力信号はアドレス信号とデータ信号と制御信号を含み、前記比較装置は、受信した制御信号を監視して、受信したアドレス信号またはデータ信号が有効であることを確認して前記比較回路に有効信号を通知するバス監視回路を備え、前記比較回路は前記バス監視回路から前記有効信号の通知を受けた時のみ、アドレス信号またはデータ信号を比較することを特徴とするコンピュータシステム。

【請求項7】 請求項3乃至6のいずれか1項において、前記比較装置は、前記マスタ・プロセッサバスから受信したマスタ・プロセッサの出力信号を格納する第1レジスタと、前記チェッカ・プロセッサバスから受信したチェッカ・プロセッサの出力信号を格納する第2レジスタとを備え、前記比較回路が不一致を検出した場合に、不一致が生じたマスタ・プロセッサの出力信号とチェッカ・プロセッサの出力信号をそれぞれ第1レジスタと第2レジスタに保持することを特徴とするコンピュータシステム。

【請求項8】 請求項3乃至7のいずれか1項において、前記共有資源は、前記マスタ・プロセッサのアクセスを制御するメモリ制御ユニットと、メモリと、バスインターフェースおよびシステムバスを介して前記メモリ制御

ユニットに接続される入出力装置を含み、前記比較回路が不一致を検出した場合に、前記バスインターフェースを制御して、不一致が生じたマスタ・プロセッサの出力信号を抑制するコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータシステムに関し、特にプロセッサ出力の比較方式に関する。

【0002】

【従来の技術】コンピュータシステムが正常な動作を継続するためには、構成要素間のデータ転送が正しく行なわれている必要がある。データ転送バスでは、信号線の破断または短絡による場合はもちろん、複数の信号線の相互の電磁的な影響や、信号線上の反射波によって、ノイズが発生してデータ転送に誤りを生じることがある。また、構成要素の内部においても、電源ノイズや α 線等の照射、さらには構成要素自身の劣化などによって、処理の誤りを生じることがある。

【0003】コンピュータシステムでは、これらの誤った転送データや処理結果に対して、正しいデータと解釈して不正確な処理をすることがある。このため、重要な構成要素の二重化やパリティチェックによる不正信号の監視など、種々の方式でシステムの信頼性向上をはかっている。

【0004】例えば、二重化したプロセッサを同一クロックで、同一の演算処理を同時に実行し、2つのプロセッサ出力を比較して一方のプロセッサの演算誤りや出力誤りを検出する、プロセッサ出力比較方式が広く知られている。

【0005】文献「IEEE MICRO December 1984」誌の「Fault Tolerance Achieved in VLSI」で紹介されている「Functional redundancy checking」には、マスタ・プロセッサのみが演算結果を出力し、チェック・プロセッサは演算結果を出力比較回路に入力するとともに、マスタ・プロセッサの出力を受信して出力比較回路に入力し、両者の演算結果を比較する方法が開示されている。

【0006】ところで、マスタ・プロセッサの出力がチェック・プロセッサの出力比較回路に入力されるまでには遅延が生じるので、クロック周波数を大きくして高速動作を行わせることに困難がある。この問題を解決するために、チェック・プロセッサをマスタ・プロセッサよりも1クロックサイクル、または2以上の整数クロックサイクル遅らせて演算を処理する方法が知られている。

【0007】特開昭58-18756号公報には、チェック・プロセッサをマスタ・プロセッサよりも1クロックサイクル以上の整数クロックサイクルだけ遅らせて起動し、さらにチェック・プロセッサへの入力をマスタ・プロセッサよりも1クロックサイクル以上の整数クロックサイクルだけ遅らせて入力し、チェック・プロセッサがマスタ・プロセッサからの演算結果を受信すると、そ

れを1クロックサイクル以上の整数クロックサイクルだけ遅らせて出力比較回路に入力し、自己の演算結果との比較を行う方法が開示されている。

【0008】

【発明が解決しようとする課題】上記した従来の二重化プロセッサの出力比較方式は、一方のプロセッサの内部やセッサの出力経路で発生した誤りを検出することができる。しかし、2つのプロセッサが両方とも誤った演算結果を出力した場合は、その誤りを有効に検出できない。

【0009】例えば、二重化プロセッサの電源線とグラウンド線は、すべての信号の基準電圧となるため、電源ノイズによって電源線の電圧が変化すると、同一クロックで動作している両プロセッサでは、プロセッサ内部の信号の論理値が同一タイミングで不当に変化してしまう。この同時誤りが発生すると処理の誤りが検出できず、正常処理が保証されなくなることがある。さらに、誤った処理の結果が一致する同一誤りの場合には、正常な演算処理として進行するため、その結果が重大な事故を引き起こす恐れもある。

【0010】図15に、二重化プロセッサの誤動作の一例を示す。プロセッサは、フリップ・フロップやラッチ等の記憶素子を用いてクロックの立ち上がりのタイミングで信号を伝達し、演算を実行する。クロックAはマスタ・プロセッサの動作クロック、クロックBはチェック・プロセッサの動作クロックである。

【0011】同図(a)に示すように、クロックAとクロックBが位相差0の場合、クロックA、Bの立ち上がりで電源ノイズの発生(斜線部)が重なると、マスタ・プロセッサとチェック・プロセッサの両方で論理演算の誤りを生じるので、プロセッサ比較方式によって同時誤り(多重誤りや同一誤り)を回避できない。

【0012】二重化プロセッサの同時誤りについて、本発明者らの最近の実験結果の一部を、図16に示す。この例はプロセッサ動作中に、入力電源ノイズを繰り返し注入して、プロセッサの出力の多重誤りと同一誤りを測定したものである。グラフの横軸はプロセッサ間の遅延時間(時間の単位はクロックサイクル)、縦軸は一定時間の出力頻度における誤り発生率で、多重誤り(細線)と同一誤り(太線)を示している。同一誤りは多重誤りの一部である。

【0013】この実験例から明らかなように、2つのプロセッサの動作遅延時間が0および整数クロックサイクルのとき、即ち、2つのプロセッサの動作クロックの位相差が0のときに、多重誤りの発生率がピークとなる。同一誤りも、遅延時間の小さい期間では同様の傾向を示している。なお、多重誤りと同一誤りを総称するとき、以下では同時誤りと呼ぶことにする。

【0014】以上のように、従来の二重化プロセッサ出力比較方式は、マスタとチェックを同位相のクロックで

10

20

30

40

50

動作させているため、両方のプロセッサに同時誤りが発生して、プロセッサの演算処理や出力処理における処理誤りの検出漏れを生じてしまう問題点がある。このため、不正確な結果によるシステムの重大事故を招く危険性がある。

【0015】本発明の目的は、従来技術の問題点を克服し、二重化プロセッサの同時誤りを防止できるプロセッサ出力比較方式と、それを適用したコンピュータシステムを提供することにある。

【0016】

【課題を解決するための手段】本発明は、二重化プロセッサの動作クロックの位相差を 180° ないしその近傍範囲とすることで、同時誤りの発生を大幅に低減できることに着目してなされたもので、本発明者らが先に提案した特願平6-313492号(1994.12.16)の発明の一部を、さらに改良し発展させたものである。

【0017】上記の目的は、同一周波数のクロックで動作して同じ演算処理を行う2つのプロセッサの出力信号を比較して、一方のプロセッサの演算や出力の処理誤りを検出するプロセッサ出力比較方法において、一方のプロセッサに対し、他方のプロセッサの動作を $[0, 5+n]$ クロックサイクル(ここで、 n は0以上の任意の整数)ないしその近傍範囲 Δt を含む一定時間 T_d だけ遅延し、また、前記一方のプロセッサの出力信号を前記一定時間 T_d だけ遅延して前記他方のプロセッサの出力信号と比較することにより達成される。

【0018】前記近傍範囲 Δt は、その上下限が ± 0.33 クロックサイクル又は、前記一定時間 T_d が0の場合に発生する多重誤りが $1/2$ 以下になる範囲とする。

【0019】上記した実験結果(図16)では、2つのプロセッサの動作クロックの位相差が0より大きくなるに従って同時誤りの発生率が下がり、2つのプロセッサの動作遅延時間が0.5クロックサイクルで最小となる。1.5クロックサイクルでも同様である。すなわち、2つのプロセッサの動作クロックの位相差が 180° のとき、同時誤りの発生率が最小となる。さらに、動作遅延時間が0.17クロックサイクル \sim 0.83クロックサイクルの範囲、1.17クロックサイクル \sim 1.83クロックサイクルの範囲内であれば、同時誤りの発生率は従来の位相差0のときに比べて $1/2$ 以下となる。

【0020】また、上記の目的は、所定の演算処理を行うマスタ・プロセッサと、マスタ・プロセッサと同一周波数のクロックで動作して前記演算処理を行うチェッカ・プロセッサと、マスタ・プロセッサとチェッカ・プロセッサにクロックを供給するクロック装置と、マスタ・プロセッサとチェッカ・プロセッサの出力信号を受信して比較する比較装置と、共有資源を備えるコンピュータシステムにおいて、マスタ・プロセッサと前記比較装置はマスタ・プロセッサバス、チェッカ・プロセッサと前

記比較装置はチェッカ・プロセッサバス、前記比較装置と前記共有資源は第3のバスによってそれぞれ接続され、前記クロック装置は、マスタ・プロセッサへ供給するクロックに対し、チェッカ・プロセッサへのクロックを $[0, 5+n]$ クロックサイクル(n は0以上の任意の整数)ないしその近傍範囲を含む一定時間だけ遅れて供給するクロック遅延回路を備え、前記比較装置は、前記マスタ・プロセッサバスから受信したマスタ・プロセッサの出力信号を前記一定時間だけ遅延する第1遅延回路と、前記一定時間だけ遅延したマスタ・プロセッサの出力信号と前記チェッカ・プロセッサバスから受信したチェッカ・プロセッサの出力信号を比較する比較回路と、前記第3のバスから受信した前記共有資源の出力信号を前記マスタ・プロセッサバスと前記チェッカ・プロセッサバスの双方に出力する時に、前記チェッカ・プロセッサバスへの出力を前記一定時間だけ遅らせる第2遅延回路を備えることにより達成される。

【0021】あるいは、マスタ・プロセッサと前記共有資源と前記比較装置はマスタ・プロセッサバス、チェッカ・プロセッサと前記比較装置はチェッカ・プロセッサバスによってそれぞれ接続され、前記比較装置は、前記マスタ・プロセッサバスから受信した信号を前記一定時間だけ遅らせる信号遅延回路と、チェッカ・プロセッサの出力信号と前記一定時間だけ遅延したマスタ・プロセッサの出力信号を比較する比較回路と、前記信号遅延回路の出力信号が前記共有資源の出力信号の場合に前記チェッカ・プロセッサバスに出力する選択回路を備えることにより達成される。

【0022】前記コンピュータシステムは、マスタ・プロセッサのリセットを解除する第1リセット信号と、該第1リセット信号より前記一定時間だけ遅延してチェッカ・プロセッサのリセットを解除する第2リセット信号を出力するリセット装置を備えている。これにより、チェッカ・プロセッサの動作は常に前記一定時間だけ遅延する。

【0023】マスタ・プロセッサ及びチェッカ・プロセッサの出力信号はアドレス信号とデータ信号と制御信号を含み、前記比較装置は、受信した制御信号を監視して、受信したアドレス信号またはデータ信号が有効であることを確認して前記比較回路に有効信号を通知するバス監視回路を備え、前記比較回路は前記バス監視回路から前記有効信号の通知を受けた時のみ、アドレス信号またはデータ信号を比較する。

【0024】上記の制御信号はAS信号やR/W信号である。これにより、マスタ・プロセッサバスまたはチェッカ・プロセッサバスのアドレスまたはデータが有効でない期間に発生するCPUバス誤りによる比較装置での誤り検出を回避し、システムの動作を不必要に停止することを防止する。

【0025】前記比較装置は、前記マスタ・プロセッサ

10

20

30

40

50

バスから受信したマスタ・プロセッサの出力信号を格納する第1レジスタと、前記チェッカ・プロセッサバスから受信したチェッカ・プロセッサの出力信号を格納する第2レジスタとを備え、前記比較回路が不一致を検出した場合に、不一致が生じたマスタ・プロセッサの出力信号とチェッカ・プロセッサの出力信号をそれぞれ第1レジスタと第2レジスタに保持する。これにより、誤りの原因究明に役立てる。

【0026】前記共有資源は、前記マスタ・プロセッサのアクセスを制御するメモリ制御ユニットと、メモリと、バスインターフェースおよびシステムバスを介して前記メモリ制御ユニットに接続される入出力装置を含み、前記比較回路が不一致を検出した場合に、前記バスインターフェースを制御して、不一致が生じたマスタ・プロセッサの出力信号を抑制する。これにより、システムの重大事故を生じる危険性を回避する。

【0027】

【発明の実施の形態】

〔実施形態1〕図1に、本発明の実施形態1によるコンピュータシステムの構成図を示す。本コンピュータシステムは、所定の演算処理を行うマスタ・プロセッサ10およびチェッカ・プロセッサ20と、入出力装置80、90と、メモリ50と、マスタ・プロセッサ10や入出力装置80、90からメモリ50へのアクセス、及び、マスタ・プロセッサ10から入出力装置80、90へのアクセスを制御するメモリ制御ユニット(MCU)40と、マスタ・プロセッサ10の出力とチェッカ・プロセッサ20の出力を比較して誤りを検出する比較装置30と、入出力装置80、90を接続するシステムバス70と、メモリ制御ユニット40とシステムバス70を接続するバスインターフェース(バスI/F)60を有している。

【0028】さらに、プロセッサ10、20と比較装置30にクロックを供給するクロック装置100と、プロセッサ10、20をリセットするリセット装置200を有し、マスタ・プロセッサ10と比較装置30はCPUバス15により接続され、チェッカ・プロセッサ20と比較装置30はCPUバス25により接続され、比較装置30とメモリ制御ユニット40はCPUバス35により接続されている。

【0029】以下、本実施例によるコンピュータシステムの動作を説明する。クロック装置100は、マスタ・プロセッサ10と比較装置30とリセット装置200にクロック110を供給し、さらに、チェッカ・プロセッサ20と比較装置30とリセット装置200に、クロック120を供給する。クロック110とクロック120は周波数が同一で、位相が180°ずれている。

【0030】リセット装置200は、チェッカ・プロセッサ20がマスタ・プロセッサ10よりも、(0.5+n)クロックサイクル(nは0以上の整数)遅れて動作

するように、システムの起動時にマスタ・プロセッサ10に出力するリセット信号210に対し、チェッカ・プロセッサ20に出力するリセット信号220を、(0.5+n)クロックサイクルだけ遅らせる。

【0031】比較装置30は、マスタ・プロセッサ10の出力をCPUバス15より受信して、メモリ制御ユニット40に送信するとともに、受信したマスタ・プロセッサ10の出力を(0.5+n)クロック遅延させ、CPUバス25より受信したチェッカ・プロセッサ20の出力と比較する。比較結果が不一致となった場合、比較装置30はバスインターフェース60に不一致検出信号36を出力する。なお、プロセッサの出力はアドレス、データ、および制御信号からなる。

【0032】バスインターフェース60は不一致検出信号36を受信すると、システムバス70への出力を停止して、誤りが他の装置に波及するのを防止するとともに、プロセッサ10、20に対して障害割り込みを発生する。プロセッサ10、20は障害割り込みを受信すると、自己診断を実行して誤り発生の原因を究明する。

【0033】一方、プロセッサ10、20が受信側となる処理では、比較装置30はメモリ制御ユニット40の出力をCPUバス35より受信してマスタ・プロセッサ10に送信すると同時に、その出力を(0.5+n)クロック遅延させてチェッカ・プロセッサ20に送信する。このため、チェッカ・プロセッサ20はマスタ・プロセッサ10よりも(0.5+n)クロック遅れて動作するとともに、マスタ・プロセッサ10より(0.5+n)クロック遅れてメモリ制御ユニット40の出力を受信するので、チェッカ・プロセッサ20の動作の遅延は常に(0.5+n)クロックサイクルになる。

【0034】次に、各部の詳細な構成と動作を説明する。なお、n=0として、マスタ・プロセッサ10に対するチェッカ・プロセッサ20の動作の遅延は、0.5クロックサイクルとして説明する。

【0035】図2に、クロック装置の構成図を示す。クロック装置100は、クロック発生回路101とフリップ・フロップ102を備えており、クロック発生回路101が出力する基本クロックを、フリップ・フロップ102によって周波数を1/2に分周するとともに、互いに180°位相のずれた、すなわち、0.5クロックずれた2つのクロック信号110、120を出力する。

【0036】図3に、リセット装置の構成図を示す。リセット装置200は、リセット信号発生回路201と、リセット信号をクロック110に同期させるフリップ・フロップ202、203と、リセット信号を0.5クロック遅延させる遅延回路204を備えている。リセット信号はそのアサートでリセットを開始(セット)し、ネゲートでリセットを解除する。

【0037】フリップ・フロップ202でクロック110に同期させたリセット信号210は、マスタ・プロセ

ッサ10に出力し、フリップ・フロップ203でクロック110に同期させ、遅延回路204によってリセット信号210より0.5クロック遅延させたリセット信号220をチェッカ・プロセッサ20に出力する。0.5クロックの遅延回路204は、リセット信号をクロック120に同期させるフリップ・フロップ205によって実現できる。なお、遅延時間を(0.5+n)クロックに設定する場合は、フリップ・フロップ205の前または後ろに、リセット信号210をクロック110に同期させるフリップ・フロップを、n個直列に接続すればよい。

【0038】図4に、比較装置の構成(以下では、実施例1と呼ぶ)を示す。実施例1の比較装置30は、CPUバス35から受信した信号をCPUバス15に送信する送信バッファ321と、CPUバス15の信号を受信する受信バッファ322と、CPUバス35から受信した信号をCPUバス25に送信する送信バッファ323と、CPUバス25の信号を受信する受信バッファ324を有している。

【0039】また、CPUバス15から受信した信号をCPUバス35に送信する送信バッファ326と、CPUバス35の信号を受信する受信バッファ325と、受信バッファ322で受信したCPUバス15の信号を0.5クロック遅延させる遅延回路31と、受信バッファ325で受信したCPUバス35の信号を0.5クロック遅延させる遅延回路32を有している。遅延回路31と32は、遅延時間を0.5クロックサイクルにするため、それぞれクロック120に同期するレジスタ311と312を用いている。

【0040】さらに、受信バッファ325で受信したCPUバス35の信号をクロック110に同期させるレジスタ315と、受信バッファ322で受信したCPUバス15の信号をCPUバス35に出力する前にクロック110に同期させるレジスタ316と、CPUバス15の信号とCPUバス25の信号を比較する比較回路331と、CPUバス15の信号とCPUバス25の信号を比較回路331で比較する前にクロック120に同期させるレジスタ313およびレジスタ314と、比較回路331が出力する不一致検出信号をクロック120に同期させるRS型のフリップ・フロップ332と、フリップ・フロップ332が出力する不一致検出信号をクロック110に同期させるフリップ・フロップ333を有している。

【0041】実施例1による比較装置30は、受信バッファ322で受信したCPUバス15の信号、すなわちマスタ・プロセッサ10の出力信号を、レジスタ311で0.5サイクル遅延させ、レジスタ313を経由して比較回路331に入力するとともに、受信したマスタ・プロセッサ10の出力信号をレジスタ316および送信バッファ326を経由してCPUバス35に出力する。

さらに、マスタ・プロセッサ10の出力信号に対し、0.5クロック遅れているチェッカ・プロセッサ20の出力信号を受信バッファ324により受信し、レジスタ314を経由して比較回路331に入力する。

【0042】比較回路331は、入力されたマスタ・プロセッサ10の出力信号とチェッカ・プロセッサ20の出力信号を、対応する信号毎に個々に比較し、全信号の比較結果の論理和をとって不一致検出信号を生成する。すなわち、入力された信号のうち1つでも不一致となれば、不一致検出信号が生成される。

【0043】フリップ・フロップ332は比較回路331が不一致検出信号を出力すると、クロック120のタイミングで論理値1にセットされ、論理値1を出力し続ける。その結果、フリップ・フロップ333はフリップ・フロップ332の出力をクロック110に同期させ、不一致検出信号36としてバスインターフェース60に出力する。

【0044】また、比較装置30は、受信バッファ325で受信したCPUバス35の信号、すなわちメモリ制御ユニット40の出力信号をレジスタ315でクロック110に同期させ、送信バッファ321を経由してCPUバス15に出力するとともに、レジスタ312で0.5クロックサイクル遅延させ、送信バッファ323を経てCPUバス25に出力する。

【0045】なお、送信バッファ321によってCPUバス15に出力したメモリ制御ユニット40の出力信号を、受信バッファ322で再び受信してレジスタ311とレジスタ313経由で比較回路331に入力するとともに、送信バッファ323によってCPUバス25に出力したメモリ制御ユニット40の出力信号(0.5クロック遅延)を、受信バッファ324で再び受信してレジスタ314経由で比較回路331に入力して両者を比較することにより、送信バッファ321と323、受信バッファ322と324、レジスタ311と312と313と314、およびCPUバス15と25の健全性をチェックするようにしてもよい。

【0046】図5に、実施例1による比較装置の動作タイミング図を示す。比較装置30は、クロック110のタイミング111で出力されたマスタ・プロセッサ10の出力信号Aを、クロック120のタイミング121でレジスタ311によりラッチして、出力信号Aよりも0.5クロック遅れてクロック120のタイミング121で出力されるチェッカ・プロセッサ20の出力信号Bとの時間差を0にする。レジスタ311の出力信号Aとチェッカ・プロセッサ20の出力信号Bは、クロック120のタイミング122で、レジスタ313と314によりラッチして比較回路331に入力し、両者の比較を行う。

【0047】出力信号Aと出力信号Bの不一致が検出された場合、比較回路331は不一致検出信号を出力して

フリップ・フロップ332をタイミング123で論理値1にセットし、さらにフリップ・フロップ332の出力をフリップ・フロップ333によってクロック110のタイミング112でラッチして不一致検出信号36として出力する。

【0048】図6に、本実施形態における比較装置の実施例2を示す。実施例2の比較装置30では、遅延時間を1.5クロックサイクル($n=1$)としている。このため、実施例1(図4)と同様の遅延回路31のレジスタ311に、クロック110に同期するレジスタ317を直列に追加している。また、遅延回路32のレジスタ312に、クロック110に同期するレジスタ318を直列に追加している。

【0049】このように、遅延回路31と遅延回路32に、クロック110に同期させるレジスタを直列に n 個接続することにより、マスタ・プロセッサ10に対するチェッカ・プロセッサ20の遅延時間 $= (0.5 + n)$ クロックサイクルを、任意に設定できる。

【0050】図7に、実施例3による比較装置を示す。実施例3の比較装置30では、CPUバス15およびCPUバス25のアドレスまたはデータの比較を、アドレスまたはデータが有効であるときにのみ行う。

【0051】プロセッサによっては、プロセッサバスに有効なアドレスまたはデータを出力していない時、アドレスまたはデータが不定になることがある。このようなプロセッサの出力を常に比較すると、プロセッサが正常であるにもかかわらず、不定なアドレスまたはデータを比較して不一致を検出してしまう。

【0052】このため、比較装置30は実施例1(図4)の比較装置30に対し、レジスタ311によってラッチしたCPUバス15の制御信号をデコードして、アドレスまたはデータが有効であることを示す有効信号342を生成するデコード回路341と、この有効信号342とCPUバス15のアドレスまたはデータとの論理積をとるANDゲート351を追加している。また、受信バッファ324によって受信したCPUバス25の制御信号をデコードして、アドレスまたはデータが有効であることを示す有効信号344を生成するデコード回路343と、この有効信号344とCPUバス25のアドレスまたはデータとの論理積をとるANDゲート352を追加している。なお、ANDゲート351の出力はレジスタ313に、ANDゲート352の出力はレジスタ314に入力する。

【0053】ここで、CPUバス15およびCPUバス25のアドレスまたはデータが有効である時は、有効信号342と有効信号344は論理値が1となるので、ANDゲート351、352の出力はアドレスまたはデータの論理値とそれぞれ一致し、比較回路331によるアドレスまたはデータの比較が実行される。

【0054】逆に、CPUバス15およびCPUバス2

5のアドレスまたはデータが有効でない時は、有効信号342と344は論理値が0となるので、ANDゲート351と352の出力はアドレスまたはデータに関係なく論理値0となり、比較回路331によるアドレスまたはデータの比較は実行されない。これにより、プロセッサの誤りの誤検出を予防できる。

【0055】図8に、比較装置の実施例4を示す。実施例4の比較装置30では、不一致が検出されたCPUバス15およびCPUバス25の信号の状態を保持する。

【0056】このため、比較装置30は実施例1(図4)の比較装置30に対し、レジスタ313が出力するCPUバス15の信号をクロック120に同期して保持するためのレジスタ363と、レジスタ314が出力するCPUバス25の信号をクロック120に同期して保持するためのレジスタ364と、レジスタ313の出力またはレジスタ363の出力を選択してレジスタ363に入力するセクタ361と、レジスタ314の出力またはレジスタ364の出力を選択してレジスタ364に入力するセクタ362を追加する。

【0057】フリップ・フロップ332の出力の論理値が0、すなわちCPUバス15とCPUバス25の出力が一致している間は、セクタ361はレジスタ313の出力を選択してレジスタ363に入力し、同様にセクタ362はレジスタ314の出力を選択してレジスタ363に入力する。したがって、レジスタ363はCPUバス15の信号の最新の論理値に更新され、レジスタ364はCPUバス25の信号の最新の論理値に更新される。

【0058】フリップ・フロップ332の出力の論理値が1、すなわちCPUバス15とCPUバス25の出力が不一致となった場合、セクタ361はレジスタ363の出力を選択してレジスタ363に入力し、同様にセクタ362はレジスタ364の出力を選択してレジスタ363に入力する。したがって、レジスタ363は不一致の発生したCPUバス15の信号を保持し、レジスタ364は不一致の発生したCPUバス25の信号を保持する。

【0059】これにより、マスタ・プロセッサ10、チェッカ・プロセッサ20は障害割り込みによる自己診断において、レジスタ363とレジスタ364をそれぞれ読み出して、誤り発生の原因を特定することができる。

【0060】図9に、実施例4による比較装置の動作タイミング図を示す。比較装置30は、クロック110のタイミング111で出力されたマスタ・プロセッサ10の出力信号Aを、レジスタ311により0.5クロック遅れてクロック120のタイミング121でラッチし、クロック120のタイミング121で出力されるチェッカ・プロセッサ20の出力信号Bとの時間差を無くす。レジスタ311の出力信号Aとチェッカ・プロセッサ20の出力信号Bは、クロック120のタイミング122

10

20

30

40

50

で、それぞれレジスタ313と314でラッチして比較回路331に入力し、両者の比較を行う。

【0061】クロック120の立ち上がり123までは、フリップ・フロップ332の出力が論理値0なので、セクタ361はレジスタ313の出力信号Aを出力し、セクタ362はレジスタ314の出力信号Bを出力する。このため、レジスタ363はクロック120のタイミング123でレジスタ313の出力信号Aをラッチし、同様にレジスタ364はクロック120のタイミング123でレジスタ314の出力信号Bをラッチする。

【0062】出力信号Aと出力信号Bの不一致が検出された場合、比較回路331から出力される不一致検出信号をフリップ・フロップ332がタイミング123でラッチして論理値1を出力し続けるので、クロック120の立ち上がり124の以降、セクタ361はレジスタ363の出力信号(A)を出力し、セクタ362はレジスタ364の出力信号(B)を出力する。このため、レジスタ363は出力信号Aを保持した状態になり、レジスタ364は出力信号Bを保持した状態になる。

【0063】なお、本発明の実施形態1によるコンピュータシステムでは、図1に示すように、マスタ・プロセッサ10、チェッカ・プロセッサ20、メモリ制御ユニット40および比較装置30を、それぞれCPUバス15、25、35によって接続しているが、この構成に限定されるものではない。

【0064】例えば、比較装置30をメモリ制御ユニット40のCPUバスインターフェース部に内蔵して、マスタ・プロセッサ10、チェッカ・プロセッサ20とメモリ制御ユニット40を、それぞれCPUバス15、25によって接続してもよいし、比較装置30をチェッカ・プロセッサ20のCPUバスインターフェース部に内蔵して、マスタ・プロセッサ10、チェッカ・プロセッサ20、メモリ制御ユニット40を、それぞれCPUバス15、25によって接続してもよい。

【0065】以上、本実施形態によるコンピュータシステムでは、二重化したプロセッサのチェッカ側の動作を $T_d = (0.5 + n)$ クロックサイクルだけ遅らせ、比較装置ではマスタ側の出力を T_d だけ遅らせて、両プロセッサの出力を比較するので、電源ノイズ等に起因する両プロセッサの同時誤まりをほぼ0に低減できるので、二重化プロセッサの出力比較による誤り検出を確実に検出でき、システムの信頼性を向上できる。

【0066】また、遅延時間 T_d に、 $(0.5 + n)$ クロックサイクルの近傍範囲を持たせることが可能である。ちなみに、近傍範囲を $(\pm 0.33$ クロックサイクル)とすれば、遅延時間を持たない従来の場合に比べ、同時誤りの発生をおよそ半分以上に低減できる。

【0067】さらに、本実施形態のコンピュータシステムでは、マスタ・プロセッサ10の出力とメモリ制御ユ

ニット40の出力が、それぞれ異なったバスによって比較装置30に入力されるので、比較装置30は入力信号を比較回路331に出力するか、チェッカ・プロセッサ20に送信するかを選択をする必要がない。このため、比較装置の構成や論理が簡単になり信頼性が向上する。

【0068】〔実施形態2〕次に、本発明の実施形態2によるコンピュータシステムを説明する。

【0069】図10に、本実施形態によるコンピュータシステムの構成図を示す。このコンピュータシステムはマスタ・プロセッサ10とメモリ制御ユニット40を、CPUバス15によって直接接続している点が、図1に示した実施形態1のコンピュータシステムと基本的に相違している。このため、実施形態1のシステムに比べて、マスタ・プロセッサ10によるメモリ50や入出力装置80、90へのアクセスが、比較装置30を経由することなく行なえる。

【0070】本システムにおける比較装置30はCPUバス15に接続され、チェッカ・プロセッサ20と比較装置30はCPUバス25によって接続されている。したがって、マスタ・プロセッサ10からメモリ制御ユニット40への出力を、CPUバス15より受信して $(0.5 + n)$ クロックサイクル遅延させ、CPUバス25より受信したチェッカ・プロセッサ20の出力と比較する。

【0071】また、比較装置30は、メモリ制御ユニット40からマスタ・プロセッサ10への出力をCPUバス15より受信し、 $(0.5 + n)$ クロック遅延させてチェッカ・プロセッサ20へ出力する。このため、チェッカ・プロセッサ20はマスタ・プロセッサ10よりも $(0.5 + n)$ クロック遅れて動作するとともに、マスタ・プロセッサ10よりも $(0.5 + n)$ クロック遅れてメモリ制御ユニット40の出力を受信するので、チェッカ・プロセッサ20の動作の遅延は常に $(0.5 + n)$ クロックサイクルになる。

【0072】図11に、本実施形態における比較装置の実施例(実施例5と呼ぶ)を示す。実施例5による比較装置30は、CPUバス15の信号を受信する受信バッファ322と、受信バッファ322によりCPUバス15から受信した信号がメモリ制御ユニット40の出力信号であれば、CPUバス25に送信する送信バッファ323と、CPUバス25の出力信号を受信する受信バッファ324を有している。

【0073】さらに、受信バッファ322で受信したCPUバス15の信号を $(0.5 + n)$ クロックサイクル遅延させる遅延回路31と、CPUバス15の信号とCPUバス25の信号を比較する比較回路331と、CPUバス15の信号とCPUバス25の信号を比較回路331で比較する前に、クロック120に同期させるレジスタ313および314と、比較回路331が出力する不一致検出信号をクロック120に同期させるRS型の

10

20

30

40

50

フリップ・フロップ332と、フリップ・フロップ332が出力する不一致検出信号をクロック110に同期させるフリップ・フロップ333と、入力信号353でオン／オフするANDゲート354、355を有して構成される。

【0074】本実施例では、遅延時間を0.5クロックサイクルにするために、遅延回路31をクロック120に同期するレジスタ311を用いている。なお、本実施例の比較装置30における遅延回路31は、実施例1

(図4)の比較装置30における遅延回路31と遅延回路32の両方の機能を兼ねている。

【0075】比較装置30は、受信バッファ322で受信したCPUバス15の信号がマスタ・プロセッサ10の出力信号であれば、受信したマスタ・プロセッサ10の出力信号をレジスタ311で0.5サイクル遅延させ、入力信号353が1の状態のANDゲート354と、レジスタ313を経由して比較回路331に入力するとともに、送信バッファ323を抑止して受信したマスタ・プロセッサ10の出力信号がCPUバス25に出力されないようにする。

【0076】さらに、マスタ・プロセッサ10の出力信号より0.5クロック遅れているチェッカ・プロセッサ20の出力信号を受信バッファ324で受信して、入力信号352が1となっているANDゲート355と、レジスタ314を経由して比較回路331に入力する。

【0077】比較回路331は、入力されたマスタ・プロセッサ10の出力信号とチェッカ・プロセッサ20の出力信号を、対応する信号毎に個々に比較し、全信号の比較結果の論理和をとって不一致検出信号を生成する。すなわち、入力された信号のうち1つでも不一致となれば不一致検出信号が生成される。比較回路331が不一致検出信号を出力すると、フリップ・フロップ332はクロック120のタイミングで論理値1にセットされて論理値1を出力し続ける。フリップ・フロップ333はフリップ・フロップ332の出力をでクロック110に同期させて不一致検出信号36としてバスインターフェース60に出力する。

【0078】一方、比較装置30は、受信バッファ322で受信したCPUバス15の信号がメモリ制御ユニット40の出力信号であれば、ANDゲート354、355の入力信号353を0にして比較回路331への入力を抑止するとともに、受信したメモリ制御ユニット40の出力信号をレジスタ311で0.5サイクル遅延させ、送信バッファ323を経由してCPUバス25に出力する。

【0079】なお、ANDゲート354、355の入力信号353を1にして、レジスタ311が出力するメモリ制御ユニット40の出力信号を比較回路331に入力するとともに、送信バッファ323によってCPUバス25に出力した同信号を、受信バッファ324で再び受

信して比較回路331に入力して両者を比較することにより、送信バッファ323、受信バッファ324、レジスタ313と314、およびCPUバス25の健全性をチェックするようにしてもよい。

【0080】図12に、実施例6による比較装置の構成図を示す。実施例6の比較装置30は、遅延時間Tdを1.5クロックサイクルにするために、実施例5(図11)と同様の遅延回路31のレジスタ311に、クロック110に同期するレジスタ317を直列に追加している。

【0081】このように、遅延回路31に、クロック110に同期させるレジスタを直列にn個追加することにより、マスタ・プロセッサ10に対するチェッカ・プロセッサ20の遅延時間 $Td = (0.5 + n)$ クロックサイクルを任意に設定できる。

【0082】図13に、実施例7による比較装置の構成図を示す。実施例7の比較装置30は、CPUバス15とCPUバス25のアドレスまたはデータの比較を、それらが有効である時にのみ比較を行う。

【0083】このため、比較装置30はレジスタ311によってラッチしたCPUバス15の制御信号をデコードし、アドレスまたはデータが有効であることを示す有効信号342を生成するデコード回路341と、その有効信号342とCPUバス15の制御信号との論理積をとるANDゲート351と、受信バッファ324によって受信したCPUバス25の制御信号をデコードし、アドレスまたはデータが有効であることを示す有効信号344を生成するデコード回路343と、その有効信号344とCPUバス25の制御信号との論理積をとるANDゲート352を追加し、ANDゲート351の出力をレジスタ313に、ANDゲート352の出力をレジスタ314に入力する。

【0084】ここで、CPUバス15およびCPUバス25のアドレスまたはデータが有効である時は、有効信号342と有効信号344はそれぞれ論理値が1となるので、ANDゲート351、352の出力は制御信号のアドレスまたはデータの論理値と一致し、比較回路331によるアドレスまたはデータの比較が実行される。

【0085】逆に、CPUバス15およびCPUバス25の制御信号のアドレスまたはデータが有効でない時は、有効信号342、344は論理値が0となるので、ANDゲート351、352の出力は論理値0となり、比較回路331によるアドレスまたはデータの比較は実行されない。

【0086】図14に、実施例8による比較装置の構成図を示す。実施例8の比較装置30は、不一致が検出されたCPUバス15およびCPUバス25の信号の状態を保持する。

【0087】このため、レジスタ313が出力するCPUバス15の信号をクロック120に同期して保持する

ためのレジスタ363と、レジスタ314が出力するCPUバス25の信号をクロック120に同期して保持するためのレジスタ364と、レジスタ313の出力またはレジスタ363の出力を選択してレジスタ363にするセクタ361と、レジスタ314の出力またはレジスタ364の出力を選択してレジスタ364にするセクタ362を追加する。

【0088】フリップ・フロップ332の出力の論理値が0、すなわちCPUバス15とCPUバス25の出力が一致している間は、セクタ361はレジスタ313の出力を選択してレジスタ363にし、同様にセクタ362はレジスタ314の出力を選択してレジスタ363にする。したがってレジスタ363はCPUバス15の信号の最新の論理値に更新され、レジスタ364はCPUバス25の信号の最新の論理値に更新される。

【0089】フリップ・フロップ332の出力の論理値が1、すなわちCPUバス15とCPUバス25の出力が不一致となった場合、セクタ361はレジスタ363の出力を選択してレジスタ363にし、同様にセクタ362はレジスタ364の出力を選択してレジスタ363にする。したがってレジスタ363は不一致の発生したCPUバス15の信号を保持し、レジスタ364は不一致の発生したCPUバス25の信号を保持する。これにより、障害割り込みによる自己診断において、マスタ・プロセッサ10はレジスタ363、チェッカ・プロセッサ20はレジスタ364を読み出して誤り発生の原因を特定することができる。

【0090】以上、本実施形態によるコンピュータシステムによれば、二重化したプロセッサのうちチェッカ側の動作を、 $(0.5 + n)$ クロックサイクルないし近傍範囲(± 0.33 クロックサイクル)の一定時間Tdだけ遅らせ、比較装置ではマスタ側の出力をTdだけ遅らせて両プロセッサの出力を比較するので、電源ノイズ等に起因する両プロセッサの同時の誤動作を大幅に低減でき、二重化プロセッサの出力比較による誤り検出の精度を向上できる。

【0091】また、本実施形態のコンピュータシステムでは、マスタ・プロセッサとメモリ制御ユニットがプロセッサバスによって直接接続されているので、プロセッサからメモリまたは入出力装置へのアクセス時間を短縮でき、システムの処理性を向上できる。

【0092】

【発明の効果】本発明によれば、所定の演算処理を行うマスタ・プロセッサと、マスタ・プロセッサと同一周波数のクロックで動作して同じ演算処理をマスタ・プロセッサよりも任意の整数クロックサイクル+0.5クロックサイクルの一定時間だけ遅れて動作するチェッカ・プロセッサを用いて演算処理を実行するとともに、マスタ

・プロセッサの出力信号を前記一定時間だけ遅らせてチェッカ・プロセッサの出力信号と比較することにより、多重誤りおよび同一誤りは殆ど発生しなくなる。これにより、二重化プロセッサの出力比較によるプロセッサ誤り検出を確実に実行できる。

【0093】また、遅延の時間を前記一定時間の近傍範囲、即ち ± 0.33 クロックサイクル以内とすることで、多重誤りおよび同一誤りの発生率を従来技術の半分以上に低減できる。

【図面の簡単な説明】

【図1】本発明の実施形態1によるコンピュータシステムの構成図。

【図2】クロック装置の構成図。

【図3】リセット装置の構成図。

【図4】本発明にかかる比較装置の実施例1による構成図。

【図5】実施例1による比較装置の動作のタイミング図。

【図6】実施例2による比較装置の構成図。

【図7】実施例3による比較装置の構成図。

【図8】実施例4による比較装置の構成図。

【図9】実施例4による比較装置の動作のタイミング図。

【図10】本発明の実施形態2によるコンピュータシステムの構成図。

【図11】実施例5による比較装置の構成図。

【図12】実施例6による比較装置の構成図。

【図13】実施例7による比較装置の構成図。

【図14】実施例8による比較装置の構成図。

【図15】同時誤りの実験結果を示すグラフ。

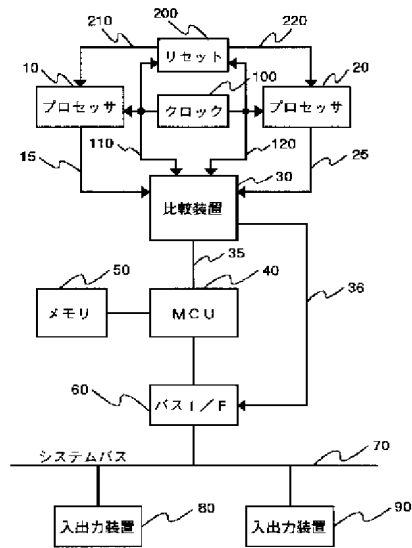
【図16】同時誤りの発生の一例を示す説明図。

【符号の説明】

10…マスタ・プロセッサ、20…チェッカ・プロセッサ、15、25、35…CPUバス、30…比較装置、31、32…遅延回路、311、312、313、314、315、316、317、318…レジスタ、321、323、326…送信バッファ、322、324、325…受信バッファ、331…比較回路、332、333…フリップ・フロップ、341、343…デコード回路、351、352、354、355…ANDゲート、361、362…セクタ、363、364…レジスタ、36…不一致検出信号、40…メモリ制御ユニット、50…メモリ、60…バスインターフェース、70…システムバス、80、90…入出力装置、100…クロック装置、102…フリップ・フロップ、110、120…クロック、200…リセット装置、202、203、205…フリップ・フロップ、204…遅延回路、210、220…リセット信号。

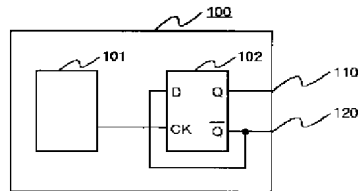
【図1】

図 1



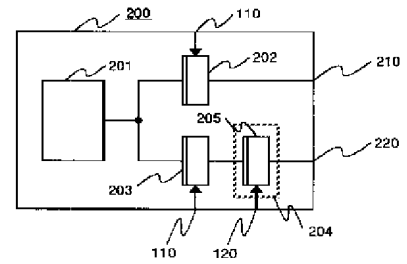
【図2】

図 2



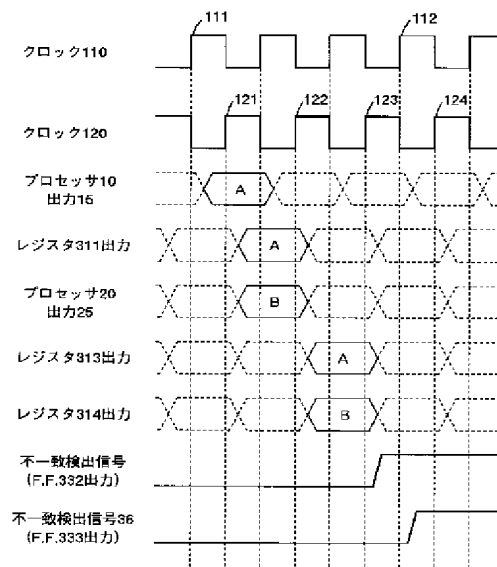
【図3】

図 3



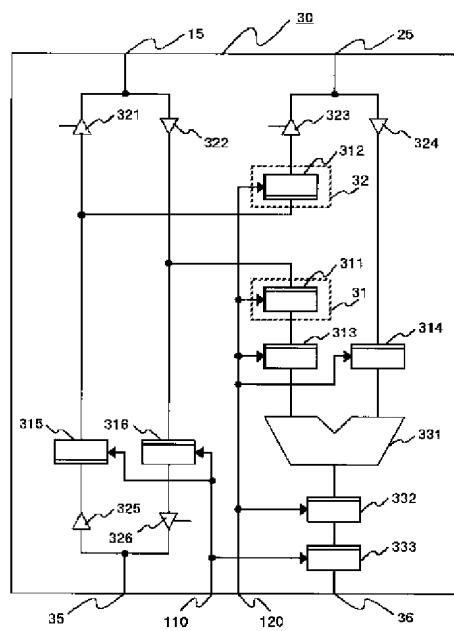
【図5】

図 5



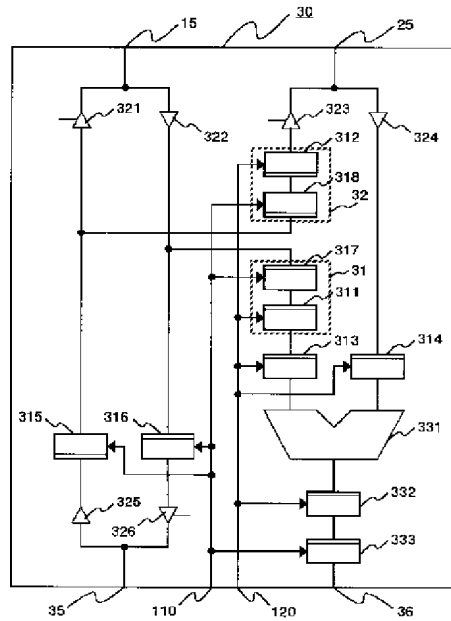
【図4】

図 4



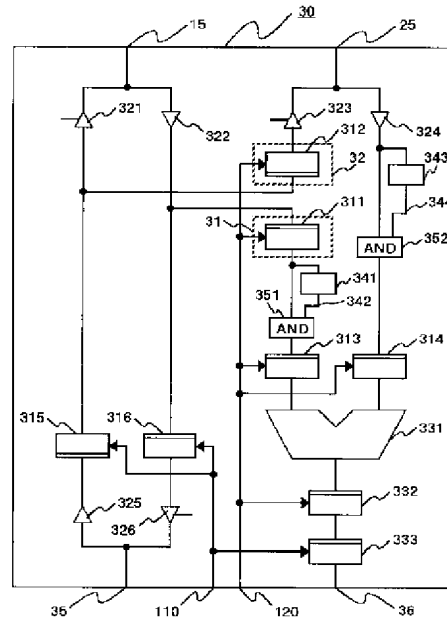
【図6】

図 6



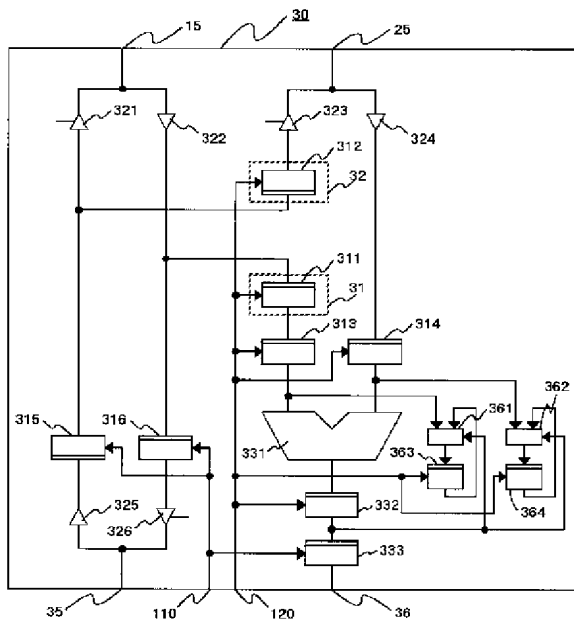
【図7】

図 7



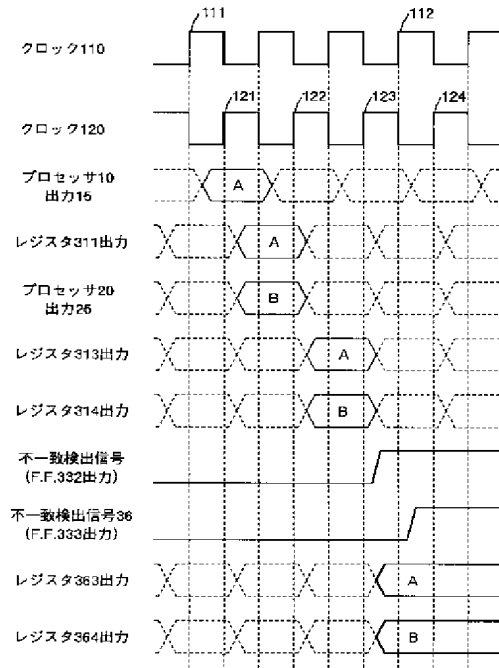
【図8】

図 8



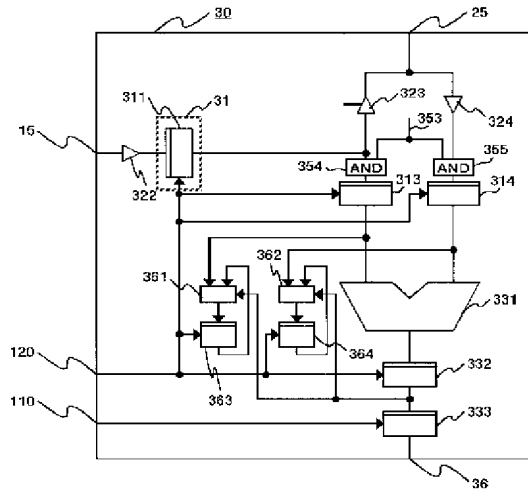
【図9】

図 9



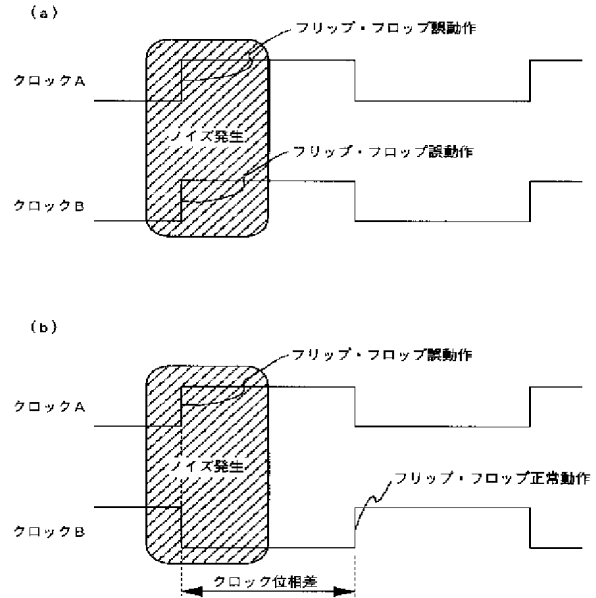
【図14】

図 14



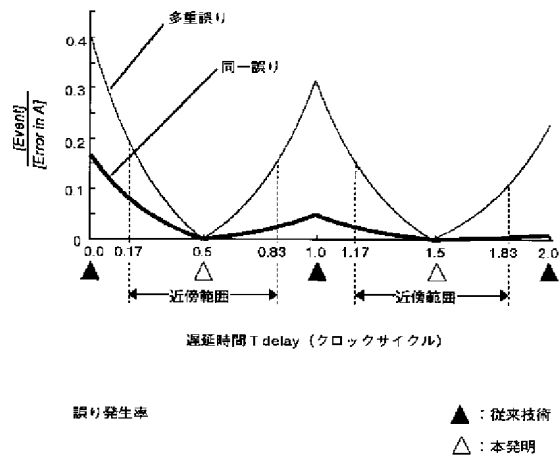
【図15】

図 15



【図16】

図 16



フロントページの続き

- (72)発明者 山口 伸一郎
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
- (72)発明者 宮崎 直人
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

- (72)発明者 佐藤 美道
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
- (72)発明者 宮崎 義弘
茨城県日立市大みか町五丁目2番1号 株
式会社日立製作所大みか工場内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-011309

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

G06F 11/18

(21)Application number : 08-158446

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.06.1996

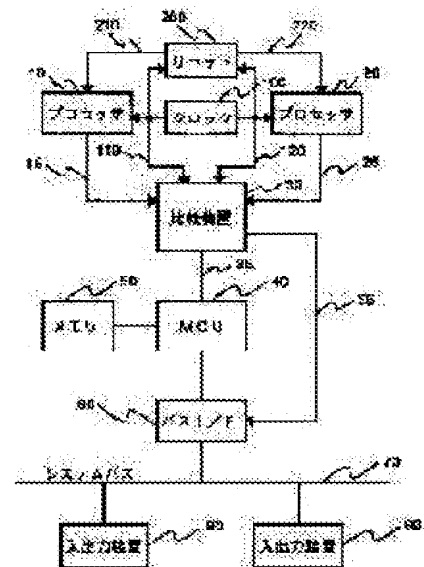
(72)Inventor : MORITA YUICHIRO
KANEKAWA NOBUYASU
ARITA YUTAKA
YAMAGUCHI SHINICHIRO
MIYAZAKI NAOTO
SATO YOSHIMICHI
MIYAZAKI YOSHIHIRO

(54) PROCESSOR OUTPUT COMPARING METHOD AND COMPUTER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an multiplex error and a same error and to surely detect a processor error by means of the output comparison of duplexed processors by delaying the output signal of one processor for a fixed time and comparing it with the output signal of the other processor.

SOLUTION: A comparing device 30 receives the output of a master processor 10 from a CPU bus 15, transmits it to a memory control unit 40, delays the received output of the master processor 10 by $(0.5+n)$ clock and compares it with the output of a checker processor 20, which is received from the CPU bus 25. At the time of noncoincidence in a comparison result, the comparing device 30 outputs a noncoincidence detecting signal 36 to a bus interface 60. The bus interface 60 stops the output to a system bus 70, prevents the influence of the error to another device and generates fault interruption as against the processors 10 and 20. Then, the processors 10 and 20 execute self-diagnosis so as to investigate the cause of error occurrence.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the processor output comparison approach of comparing the output signal of two processors which operate with the clock of the same frequency and perform the same data processing, and detecting the processing error of the operation of one processor, or an output It is a $[0.5+n]$ clock cycle (here) about actuation of the processor of another side to one processor. n is the processor output comparison approach characterized by delaying only fixed time amount T_d containing the integer of zero or more arbitration thru/or its near range $^{**}t$, and delaying only said fixed time amount T_d and comparing the output signal of one [said] processor with the output signal of the processor of said another side.

[Claim 2] Said near range $^{**}t$ is the processor output comparison approach made into the range where the multiple error generated when the bound is $[^{**}0.33 \text{ clock cycle or said fixed time amount } T_d]$ 0 in claim 1 becomes $1/2$ or less.

[Claim 3] The master processor which performs predetermined data processing, and the checker processor which operates with the clock of the same frequency as a master processor, and performs said data processing, In the clock equipment which supplies a clock to a master processor and a checker processor, the comparison equipment which receives and compares the output signal of a master processor and a checker processor, and a computer system equipped with a shared resource A master processor and said comparison equipment a master-processor bus, and a checker processor and said comparison equipment A checker processor bus, Said comparison equipment and said shared resource are connected by the 3rd bus, respectively. Said clock equipment It has the clock delay circuit to which only fixed time amount including a $[0.5+n]$ clock cycle (n is the integer of zero or more arbitration) thru/or its near range is late, and supplies the clock to a checker processor to the clock supplied to a master processor. Said comparison equipment The 1st delay circuit where only said fixed time amount is delayed in the output signal of the master processor which received from said master-processor bus, The comparator circuit which compares the output signal of the master processor for which only said fixed time amount was delayed with the output signal of the checker processor which received from said checker processor bus, When outputting the output signal of said shared resource which received from said 3rd bus to the both sides of said master-processor bus and said checker processor bus The computer system characterized by having the 2nd delay circuit where only said fixed time amount delays the output to said checker processor bus.

[Claim 4] The master processor which performs predetermined data processing, and the checker processor which operates with the clock of the same frequency as a master processor, and performs said data processing, In the clock equipment which supplies a clock to a master processor and a checker processor, the comparison equipment which receives and compares the output signal of a master processor and a checker processor, and a computer system equipped with a shared resource A master processor, said shared resource, and said comparison equipment A master-processor bus, A checker processor and said comparison equipment are connected by the checker processor bus, respectively. Said clock equipment It has the clock delay circuit to which only fixed time amount including a $[0.5+n]$ clock cycle (n is the integer of zero or more arbitration) thru/or its near range is late, and supplies the clock to a checker processor to the clock supplied to a master processor. Said comparison equipment The signal delay circuit where only said fixed time amount delays the signal received from said master-processor bus, The comparator circuit which compares the output signal of a checker processor with the output signal of a master processor with which only said fixed time

amount was delayed, The computer system characterized by having the selection circuitry outputted to said checker processor bus when the output signal of said signal delay circuit is an output signal of said shared resource.

[Claim 5] A computer system equipped with the reset equipment which outputs the 1st reset signal which cancels reset of a master processor, and the 2nd reset signal which only said fixed time amount is delayed for this 1st reset signal, and cancels reset of a checker processor in claims 3 or 4.

[Claim 6] It is the computer system characterized by to equip the output signal of a master processor and a checker processor with the bus supervisory circuit which checks that said comparison equipment has effective address signal or data signal which supervised the received control signal and was received, and notifies a valid signal to said comparator circuit in claim 3, or 4 or 5 including an address signal, a data signal, and a control signal, and for said comparator circuit to compare an address signal or a data signal only when the notice of said valid signal is received from said bus supervisory circuit.

[Claim 7] In claim 3 thru/or any 1 term of 6 said comparison equipment The 1st register which stores the output signal of the master processor which received from said master-processor bus, It has the 2nd register which stores the output signal of the checker processor which received from said checker processor bus. The computer system characterized by holding the output signal of a master processor and the output signal of a checker processor which the inequality produced to the 1st register and the 2nd register, respectively when said comparator circuit detects an inequality.

[Claim 8] It is the computer system which controls the output signal of the master processor which controlled said bus interface and the inequality produced when said comparator circuit detects an inequality including the I/O device connected to said memory control unit through the memory control unit with which said shared resource controls access of said master processor in claim 3 thru/or any 1 term of 7, memory, and a bus interface and a system bus.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the comparison method of a processor output about a computer system.

[0002]

[Description of the Prior Art] In order for a computer system to continue normal actuation, data transfer between components needs to be performed correctly. By data transfer bus, when based on fracture or the short circuit of a signal line, of course, by the mutual electromagnetic effect of two or more signal lines, and the reflected wave on a signal line, a noise may occur and an error may be produced in data transfer. Moreover, also in the interior of a component, the error of processing is sometimes further produced [the exposure of a power-source noise, alpha rays, etc. and] by degradation of the component itself etc.

[0003] It is ** to interpret it as right data and to carry out inaccurate processing to these mistaken transfer data and processing results, in a computer system. For this reason, the improvement in dependability of a system is aimed at by various methods, such as doubleness of an important component, and a monitor of unjust signal CHI by the parity check.

[0004] For example, the processor output comparison method which performs the same data processing for the doubled processor to coincidence with the same clock, measures two processor outputs, and detects one operation error and output error of a processor is learned widely.

[0005] Only a master processor outputs the result of an operation, and while a checker processor inputs the result of an operation into an output comparator circuit, the output of a master processor is received and it inputs into an output comparator circuit, and the approach of comparing both result of an operation is indicated by "Functional redundancy checking" currently introduced by "Fault Tolerance Achieved in VLSI" of a reference "IEEE MICRO December 1984" magazine.

[0006] By the way, since delay will arise by the time the output of a master processor is inputted into the output comparator circuit of a checker processor, difficulty is in enlarging a clock frequency and making high-speed operation perform. In order to solve this problem, one clock cycle or the method of processing two or more integer clock cycle ***** operations is learned rather than the master processor in the checker processor.

[0007] The method of only the integer clock cycle of one or more clock cycles delaying it, if only the integer clock cycle of one or more clock cycles delays a checker processor rather than a master processor in JP,58-18756.A, start, only the integer clock cycle of one or more clock cycles delays the input to a checker processor rather than a master processor further, it inputs and a checker processor receives the result of an operation from a master processor, and inputting into an output comparator circuit, and performing the comparison with the self result of an operation is indicated.

[0008]

[Problem(s) to be Solved by the Invention] The above-mentioned output comparison method of the conventional doubleness processor can detect the error generated in the interior of one processor, or the output path of SESSA. However, when two processors output the result of an operation which mistook both, the error cannot be detected effectively.

[0009] For example, since the power-source line and grand line of a doubleness processor serve as reference voltage of all signals, if the electrical potential difference of a power-source line changes with power-source noises, at both the processors that are operating with the same clock, the logical

value of the signal inside a processor will change unfairly to the same timing. If this coincidence error occurs, the error of processing cannot be detected but normal processing may not no longer be guaranteed. Furthermore, since it goes on as normal data processing in being the same error whose result of the mistaken processing corresponds, a possibility of causing serious accident also has the result.

[0010] An example of malfunction of a doubleness processor is shown in drawing 15. A processor transmits a signal to the timing of the standup of a clock using storage elements, such as a flip-flop and a latch, and performs an operation. Clock A is a clock of a master processor of operation, and Clock B is a clock of a checker processor of operation.

[0011] Since the error of logical operation will be produced in both a master processor and a checker processor if the standup of Clocks A and B and generating (slash section) of a power-source noise lap when Clock A and Clock B are phase contrast 0 as shown in this drawing (a), a coincidence error (a multiple error and the same error) is nonavoidable with a processor comparison method.

[0012] About the coincidence error of a doubleness processor, a part of this invention persons' latest experimental result is shown in drawing 16. This example repeats and pours in an input power noise during processor actuation, and measures the same error as the multiple error of the output of a processor. It is an error incidence rate [in / the axis of abscissa of a graph, and / in an axis of ordinate / the output frequency of fixed time amount], and the same error (thick wire) as a multiple error (thin line) is shown. [the time delay (the unit of time amount is a clock cycle) of interprocessor] The same error is a part of multiple error.

[0013] When the time delays of two processors of operation are 0 and an integer clock cycle so that clearly from this example of an experiment (i.e., when the phase contrast of the clock of two processors of operation is 0), the incidence rate of a multiple error serves as a peak. The same error also shows the same inclination by the small period of a time delay. In addition, when naming generically the same error as a multiple error, below, it will be called a coincidence error.

[0014] As mentioned above, since the conventional doubleness processor output comparison method is operating the master and the checker with the clock in phase, a coincidence error occurs in both processors and it has the trouble which produces the leakage in detection of the processing error in data processing and output processing of a processor. For this reason, there is a danger of causing the major accident of the system by the inaccurate result.

[0015] The purpose of this invention conquers the trouble of the conventional technique, and is to offer the processor output comparison method which can prevent the coincidence error of a doubleness processor, and the computer system which applied it.

[0016]

[Means for Solving the Problem] This invention is making phase contrast of the clock of a doubleness processor of operation into 180 degrees thru/or the near range of those, was made paying attention to the ability to reduce generating of a coincidence error sharply, and a part of invention of Japanese Patent Application No. No. (1994. 12.16) 313492 [six to] which this invention persons proposed previously is improved further, and it develops it.

[0017] In the processor output comparison approach of the above-mentioned purpose comparing the output signal of two processors which operate with the clock of the same frequency and perform the same data processing, and detecting the processing error of the operation of one processor, or an output It is a $[0.5+n]$ clock cycle (here) about actuation of the processor of another side to one processor. Only fixed time amount T_d containing the integer of zero or more arbitration thru/or its near range $**t$ is delayed, and n is attained by delaying only said fixed time amount T_d and comparing the output signal of one [said] processor with the output signal of the processor of said another side.

[0018] Said near range $**t$ is taken as the range where the multiple error generated when the bound is $[**0.33 \text{ clock cycle or said fixed time amount } T_d]$ 0 becomes $1/2$ or less.

[0019] In the above-mentioned experimental result (drawing 16), the incidence rate of a coincidence error falls as the phase contrast of the clock of two processors of operation becomes larger than 0, and the time delay of two processors of operation serves as min by 0.5 clock cycles. The same is said of 1.5 clock cycles. That is, when the phase contrast of the clock of two processors of operation is 180 degrees, the incidence rate of a coincidence error serves as min. Furthermore, if a time delay of operation is within the limits of the range of 0.17 clock cycles - 0.83 clock cycle, 1.17 clock cycles -

1.83 clock cycle, compared with the time of the conventional phase contrast 0, 1/2 or less will be the incidence rate of a coincidence error.

[0020] Moreover, the master processor to which the above-mentioned purpose performs predetermined data processing, The checker processor which operates with the clock of the same frequency as a master processor, and performs said data processing, In the clock equipment which supplies a clock to a master processor and a checker processor, the comparison equipment which receives and compares the output signal of a master processor and a checker processor, and a computer system equipped with a shared resource A master processor and said comparison equipment a master-processor bus, and a checker processor and said comparison equipment A checker processor bus, Said comparison equipment and said shared resource are connected by the 3rd bus, respectively. Said clock equipment It has the clock delay circuit to which only fixed time amount including a $[0.5+n]$ clock cycle (n is the integer of zero or more arbitration) thru/or its near range is late, and supplies the clock to a checker processor to the clock supplied to a master processor. Said comparison equipment The 1st delay circuit where only said fixed time amount is delayed in the output signal of the master processor which received from said master-processor bus, The comparator circuit which compares the output signal of the master processor for which only said fixed time amount was delayed with the output signal of the checker processor which received from said checker processor bus, When outputting the output signal of said shared resource which received from said 3rd bus to the both sides of said master-processor bus and said checker processor bus, it is attained by having the 2nd delay circuit where only said fixed time amount delays the output to said checker processor bus.

[0021] A master processor, said shared resource, and said comparison equipment Or a master-processor bus, A checker processor and said comparison equipment are connected by the checker processor bus, respectively. Said comparison equipment The signal delay circuit where only said fixed time amount delays the signal received from said master-processor bus, It is attained by having the comparator circuit which compares the output signal of a checker processor with the output signal of a master processor with which only said fixed time amount was delayed, and the selection circuitry outputted to said checker processor bus when the output signal of said signal delay circuit is an output signal of said shared resource.

[0022] Said computer system is equipped with the reset equipment which outputs the 1st reset signal which cancels reset of a master processor, and the 2nd reset signal which only said fixed time amount is delayed for this 1st reset signal, and cancels reset of a checker processor. Thereby, as for actuation of a checker processor, only said fixed time amount is always delayed.

[0023] The output signal of a master processor and a checker processor is equipped with the bus supervisory circuit which checks that said comparison equipment has effective address signal or data signal which supervised the received control signal and was received, and notifies a valid signal to said comparator circuit including an address signal, a data signal, and a control signal, and said comparator circuit compares an address signal or a data signal, only when the notice of said valid signal is received from said bus supervisory circuit.

[0024] The above-mentioned control signals are AS signal and a R/W signal. Thereby, the address or data of a master-processor bus or a checker processor bus avoids the error detection in the comparison equipment by the CPU bus error generated at the period which is not effective, and prevents suspending actuation of a system superfluously.

[0025] Said comparison equipment holds the output signal of a master processor and the output signal of a checker processor which the inequality produced to the 1st register and the 2nd register, respectively, when it has the 1st register which stores the output signal of the master processor which received from said master-processor bus, and the 2nd register which stores the output signal of the checker processor which received from said checker processor bus and said comparator circuit detects an inequality. This uses for cause investigation of an error.

[0026] When said comparator circuit detects an inequality including the I/O device connected to said memory control unit through the memory control unit which controls access of said master processor, memory, and a bus interface and a system bus, said shared resource controls said bus interface, and controls the output signal of the master processor which the inequality produced. This avoids the danger of producing the major accident of a system.

[0027]

[Embodiment of the Invention]

[Operation gestalt 1] The block diagram of the computer system by the operation gestalt 1 of this invention is shown in drawing 1. The master processor 10 and the checker processor 20 to which this computer system performs predetermined data processing, Access to I/O devices 80 and 90, memory 50, and memory 50 from a master processor 10 or I/O devices 80 and 90, And the memory control unit 40 which controls access to I/O devices 80 and 90 from a master processor 10 (MCU), The comparison equipment 30 which measures the output of a master processor 10, and the output of the checker processor 20, and detects an error, It has the system bus 70 which connects I/O devices 80 and 90, and the bus interface (bus I/F) 60 which connects a system bus 70 with a memory control unit 40.

[0028] Furthermore, it has processors 10 and 20, the clock equipment 100 which supplies a clock to comparison equipment 30, and reset equipment 200 which resets processors 10 and 20, and a master processor 10 and comparison equipment 30 are connected by the CPU bus 15, the checker processor 20 and comparison equipment 30 are connected by the CPU bus 25, and comparison equipment 30 and a memory control unit 40 are connected by the CPU bus 35.

[0029] Hereafter, actuation of the computer system by this example is explained. Clock equipment 100 supplies a clock 110 to a master processor 10, comparison equipment 30, and reset equipment 200, and supplies a clock 120 to the checker processor 20, comparison equipment 30, and reset equipment 200 further. A clock 110 and a clock 120 have the same frequency, and 180 degrees of phases have shifted.

[0030] Only a clock cycle $(0.5+n)$ delays the reset signal 220 outputted to the checker processor 20 to the reset signal 210 outputted to a master processor 10 at the time of starting of a system so that reset equipment 200 may clock-cycle $(0.5+-n)$ (n is zero or more integers)-be behind [a master processor 10] in the checker processor 20 and may operate.

[0031] Comparison equipment 30 carries out clock $(0.5+n)$ delay of the output of the master processor 10 which received, and is compared with the output of the checker processor 20 which received from the CPU bus 25 while receiving the output of a master processor 10 from the CPU bus 15 and transmitting to a memory control unit 40. When a comparison result becomes an inequality, comparison equipment 30 outputs the inequality detecting signal 36 to a bus interface 60. In addition, the output of a processor consists of the address, data, and a control signal.

[0032] If the inequality detecting signal 36 is received, a bus interface 60 suspends the output to a system bus 70, and it will generate failure interruption to processors 10 and 20 while it prevents that an error affects other equipments. If failure interruption is received, processors 10 and 20 will perform a self-test and will study the cause of error generating.

[0033] On the other hand, in the processing to which processors 10 and 20 serve as a receiving side, comparison equipment 30 carries out clock $(0.5+n)$ delay of the output, and is transmitted to the checker processor 20 at the same time it receives the output of a memory control unit 40 from the CPU bus 35 and transmits to a master processor 10. For this reason, since it receives the output of the clock $(0.5+n)$ ***** memory control unit 40 from a master processor 10 while carrying out clock $(0.5+n)$ delay ***** of the checker processor 20 rather than a master processor 10, delay of actuation of the checker processor 20 always $(0.5+n)$ becomes a clock cycle.

[0034] Next, the detailed configuration and actuation of each part are explained. In addition, delay of actuation of the checker processor 20 to a master processor 10 is explained as 0.5 clock cycles as $n=0$.

[0035] The block diagram of clock equipment is shown in drawing 2. Clock equipment 100 is equipped with the clock generation circuit 101 and the flip-flop 102, while carrying out dividing of the frequency to one half with the flip-flop 102, about 180 degrees of phases shifted mutually the basic clock which the clock generation circuit 101 outputs, namely, it outputs the clock signal 110,120 of two 0.5 clock *****.

[0036] The block diagram of reset equipment is shown in drawing 3. Reset equipment 200 is equipped with the reset signal generating circuit 201, the flip-flop 202,203 which synchronizes a reset signal with a clock 110, and the delay circuit 204 which delays 0.5 clocks of reset signals. A reset signal starts reset by the assertion (set), and cancels reset by negation.

[0037] The reset signal 210 synchronized with the clock 110 with the flip-flop 202 is outputted to a master processor 10, is synchronized with a clock 110 with a flip-flop 203, and outputs the reset

signal 220 delayed from the reset signal 210 0.5 clocks by the delay circuit 204 to the checker processor 20. The delay circuit 204 of 0.5 clocks is realizable with the flip-flop 205 which synchronizes a reset signal with a clock 120. In addition, what is necessary is just to connect to a piece serial the flip-flop which synchronizes a reset signal 210 before a flip-flop 205 or with back on a clock 110, when setting a time delay as a clock $(0.5+n)$.

[0038] The configuration (below, it is called an example 1) of comparison equipment is shown in drawing 4. The comparison equipment 30 of an example 1 has the transmission buffer 321 which transmits the signal received from the CPU bus 35 to the CPU bus 15, the receive buffer 322 which receives the signal of the CPU bus 15, the transmission buffer 323 which transmits the signal received from the CPU bus 35 to the CPU bus 25, and the receive buffer 324 which receives the signal of the CPU bus 25.

[0039] Moreover, it has the transmission buffer 326 which transmits the signal received from the CPU bus 15 to the CPU bus 35, the receive buffer 325 which receives the signal of the CPU bus 35, the delay circuit 31 which delays 0.5 clocks of signals of the CPU bus 15 received by the receive buffer 322, and the delay circuit 32 which delays 0.5 clocks of signals of the CPU bus 35 received by the receive buffer 325. The registers 311 and 312 which synchronize with a clock 120, respectively are used for delay circuits 31 and 32 in order to make a time delay 0.5 clock cycles.

[0040] Furthermore, the register 315 which synchronizes with a clock 110 the signal of the CPU bus 35 received by the receive buffer 325. The register 316 synchronized with a clock 110 before outputting the signal of the CPU bus 15 received by the receive buffer 322 to the CPU bus 35. The comparator circuit 331 which compares the signal of the CPU bus 15 with the signal of the CPU bus 25. The register 313 and register 314 which are synchronized with a clock 120 before comparing the signal of the CPU bus 15 with the signal of the CPU bus 25 in a comparator circuit 331. It has the flip-flop 332 of RS mold which synchronizes with a clock 120 the inequality detecting signal which a comparator circuit 331 outputs, and the flip-flop 333 which synchronizes with a clock 110 the inequality detecting signal which a flip-flop 332 outputs.

[0041] The comparison equipment 30 by the example 1 outputs the output signal of the master processor 10 which received to the CPU bus 35 via a register 316 and a transmission buffer 326 while 0.5 cycles of signals of the CPU bus 15 received by the receive buffer 322, i.e., the output signal of a master processor 10, is delayed with a register 311 and it inputs it into a comparator circuit 331 via a register 313. Furthermore, to the output signal of a master processor 10, a receive buffer 324 receives and the output signal of the 0.5 clock delay ***** checker processor 20 is inputted into a comparator circuit 331 via a register 314.

[0042] A comparator circuit 331 takes the OR of the comparison result of all signals as compared with each for every signal which corresponds the output signal of a master processor 10 and the output signal of the checker processor 20 which were inputted, and generates an inequality detecting signal. That is, if at least one of the inputted signals becomes an inequality, an inequality detecting signal will be generated.

[0043] If a comparator circuit 331 outputs an inequality detecting signal, a flip-flop 332 will be set to a logical value 1 to the timing of a clock 120, and will continue outputting a logical value 1. Consequently, a flip-flop 333 synchronizes the output of a flip-flop 332 with a clock 110, and is outputted to a bus interface 60 as inequality ***** 36.

[0044] Moreover, comparison equipment 30 is delayed with a register 312 0.5 clock cycles, and is outputted to the CPU bus 25 through a transmission buffer 323 while it synchronizes with a clock 110 the signal of the CPU bus 35 received by the receive buffer 325, i.e., the output signal of a memory control unit 40, with a register 315 and outputting it to the CPU bus 15 via a transmission buffer 321.

[0045] In addition, while receiving again by the receive buffer 322 and inputting into a comparator circuit 331 the output signal of the memory control unit 40 outputted to the CPU bus 15 by register 311 and register 313 course by the transmission buffer 321. The output signal (0.5 clock delay) of the memory control unit 40 outputted to the CPU bus 25 by the transmission buffer 323. By receiving again by the receive buffer 324, inputting into a comparator circuit 331 by register 314 course, and comparing both. You may make it check the soundness of transmission buffers 321 and 323, receive buffers 322 and 324, registers 311 and 312, 313 and 314, and the CPU buses 15 and 25.

[0046] The timing chart of the comparison equipment by the example 1 of operation is shown in drawing 5. Comparison equipment 30 sets to 0 time difference with the output signal B of the

checker processor 20 which latches the output signal A of the master processor 10 outputted to the timing 111 of a clock 110 with a register 311 to the timing 121 of a clock 120, and is outputted from an output signal A to the timing 121 of the 0.5 clock ***** clock 120. The output signal A of a register 311 and the output signal B of the checker processor 20 are the timing 122 of a clock 120, they are latched with registers 313 and 314, are inputted into a comparator circuit 331, and compare both.

[0047] When the inequality of an output signal A and an output signal B is detected, an inequality detecting signal is outputted, and a comparator circuit 331 sets a flip-flop 332 to a logical value 1 to timing 123, further, with a flip-flop 333, it latches the output of a flip-flop 332 to the timing 112 of a clock 110, and outputs it as an inequality detecting signal 36.

[0048] The example 2 of the comparison equipment in this operation gestalt is shown in drawing 6. The time delay is made into 1.5 clock cycles ($n=1$) with the comparison equipment 30 of an example 2. For this reason, the register 317 which synchronizes with the register 311 of the same delay circuit 31 as an example 1 (drawing 4) at a clock 110 is added to the serial. Moreover, the register 318 which synchronizes with the register 312 of a delay circuit 32 at a clock 110 is added to the serial.

[0049] Thus, the time delay = $(0.5+n)$ clock cycle of the checker processor 20 to a master processor 10 can be set as arbitration by connecting to n serials the register which synchronizes a clock 110 with a delay circuit 31 and a delay circuit 32.

[0050] The comparison equipment by the example 3 is shown in drawing 7. With the comparison equipment 30 of an example 3, the address of the CPU bus 15 and the CPU bus 25 or the comparison of data is performed, only when the address or data is effective.

[0051] While not outputting the address or data effective in a processor bus depending on a processor, the address or data may become an indeterminate. If the output of this **** processor is always measured, although a processor is normal, the unfixed address or data will be compared and an inequality will be detected.

[0052] For this reason, comparison equipment 30 decoded the control signal of the CPU bus 15 latched with the register 311 to the comparison equipment 30 of an example 1 (drawing 4), and has added the AND gate 351 which takes the AND of the decoding circuit 341 which generates the valid signal 342 which shows that the address or data is effective, and the address of this valid signal 342 and the CPU bus 15 or data. Moreover, the control signal of the CPU bus 25 received by the receive buffer 324 was decoded, and the AND gate 352 which takes the AND of the decoding circuit 343 which generates the valid signal 344 which shows that the address or data is effective, and the address of this valid signal 344 and the CPU bus 25 or data is added. In addition, the output of the AND gate 351 is inputted into a register 313, and the output of the AND gate 352 is inputted into a register 314.

[0053] Here, when the address or data of the CPU bus 15 and the CPU bus 25 is effective, since, as for a valid signal 342 and a valid signal 344, a logical value is set to 1, the comparison of the address according [the output of the AND gate 351,352] to a comparator circuit 331 respectively in accordance with the logical value of the address or data or data is performed.

[0054] On the contrary, when the address or data of the CPU bus 15 and the CPU bus 25 is not effective, since, as for valid signals 342 and 344, a logical value is set to 0, the output of the AND gates 351 and 352 serves as a logical value 0 regardless of the address or data, and the comparison of the address by the comparator circuit 331 or data is not performed. Thereby, incorrect detection of the error of a processor can be prevented.

[0055] The example 4 of comparison equipment is shown in drawing 8. With the comparison equipment 30 of an example 4, the condition of the signal of the CPU bus 15 by which the inequality was detected, and the CPU bus 25 is held.

[0056] For this reason, the register 363 for comparison equipment 30 to hold the signal of the CPU bus 15 which a register 313 outputs to the comparison equipment 30 of an example 1 (drawing 4) synchronizing with a clock 120, The register 364 for holding the signal of the CPU bus 25 which a register 314 outputs synchronizing with a clock 120, The selector 361 which chooses the output of a register 313 or the output of a register 363, and is inputted into a register 363, and the selector 362 which chooses the output of a register 314 or the output of a register 364, and is inputted into a register 364 are added.

[0057] While the logical value of the output of 0 [15], i.e., a CPU bus, and the CPU bus 25 of the

output of a flip-flop 332 corresponds, a selector 361 chooses the output of a register 313, inputs it into a register 363, and similarly, a selector 362 chooses the output of a register 314 and it inputs it into a register 363. Therefore, a register 363 is updated by the newest logical value of the signal of the CPU bus 15, and a register 364 is updated by the newest logical value of the signal of the CPU bus 25.

[0058] When the output of 1 [15], i.e., a CPU bus, and the CPU bus 25 becomes [the logical value of the output of a flip-flop 332] an inequality, a selector 361 chooses the output of a register 363, inputs it into a register 363, and similarly, a selector 362 chooses the output of a register 364 and it inputs it into a register 363. Therefore, a register 363 holds the signal of the CPU bus 15 which the inequality generated, and a register 364 holds the signal of the CPU bus 25 which the inequality generated.

[0059] Thereby, in the self-test by failure interruption, a master processor 10 and the checker processor 20 are beginning to read a register 363 and a register 364, respectively, and can specify the cause of error generating.

[0060] The timing chart of the comparison equipment by the example 4 of operation is shown in drawing 9. Comparison equipment 30 abolishes time difference with the output signal B of the checker processor 20 which latches the output signal A of the master processor 10 outputted to the timing 111 of a clock 110 to the timing 121 of the 0.5 clock ***** clock 120 with a register 311, and is outputted to the timing 121 of a clock 120. The output signal A of a register 311 and the output signal B of the checker processor 20 are the timing 122 of a clock 120, they are latched with registers 313 and 314, respectively, are inputted into a comparator circuit 331, and compare both.

[0061] Since the output of a flip-flop 332 is a logical value 0, a selector 361 outputs the output signal A of a register 313, and a selector 362 outputs the output signal B of a register 314 for the standup 123 of a clock 120. For this reason, a register 363 latches the output signal A of a register 313 to the timing 123 of a clock 120, and a register 364 latches the output signal B of a register 314 to the timing 123 of a clock 120 similarly.

[0062] Since a flip-flop 332 latches the inequality detecting signal outputted from a comparator circuit 331 to timing 123 and it continues outputting a logical value 1 when the inequality of an output signal A and an output signal B is detected, after the standup 124 of a clock 120, a selector 361 outputs the output signal (A) of a register 363, and a selector 362 outputs the output signal (B) of a register 364. For this reason, an output signal A will be held a register 363 and an output signal B will be held a register 364.

[0063] In addition, although a master processor 10, the checker processor 20, a memory control unit 40, and comparison equipment 30 are connected by CPU bus 15, 25, and 35 in the computer system by the operation gestalt 1 of this invention, respectively as shown in drawing 1, it is not limited to this configuration.

[0064] For example, comparison equipment 30 is built in the CPU bus interface section of a memory control unit 40, a memory control unit 40 may be connected with a master processor 10 and the checker processor 20 by CPU bus 15 and 25, respectively, comparison equipment 30 may be built in the CPU bus interface section of the checker processor 20, and a master processor 10, the checker processor 20, and a memory control unit 40 may be connected by CPU bus 15 and 25, respectively.

[0065] As mentioned above, in the computer system by this operation gestalt, since the coincidence incorrect ball of both the processors that originate in a power-source noise etc. since only $T_d = (0.5+n)$ clock cycle delays the actuation by the side of the checker of the doubled processor, only T_d delays the output of a master side with comparison equipment and the output of both processors is measured can be reduced to about 0, the error detection by the output comparison of a doubleness processor can be detected certainly, and the dependability of a system can be improved.

[0066] Moreover, it is possible to give the near range of a clock cycle $(0.5+n)$ to a time delay T_d . incidentally — the near range — then $(\approx 0.33 \text{ clock cycle})$, compared with the case of the former without a time delay, generating of a coincidence error can be about reduced below in one half.

[0067] Furthermore, in the computer system of this operation gestalt, since the output of a master processor 10 and the output of a memory control unit 40 are inputted into comparison equipment 30 by bus different, respectively, it is not necessary to choose whether comparison equipment 30 outputs an input signal to a comparator circuit 331, or it transmits to the checker processor 20. For this reason, the configuration and logic of comparison equipment become easy and dependability

improves.

[0068] [Operation gestalt 2] Next, the computer system by the operation gestalt 2 of this invention is explained.

[0069] The block diagram of the computer system by this operation gestalt is shown in drawing 10. This computer system is fundamentally different from the computer system of the operation gestalt 1 which the point which is carrying out direct continuation of a master processor 10 and the memory control unit 40 by CPU bus 15 showed to drawing 1. For this reason, it can carry out, without access to the memory 50 and I/O devices 80 and 90 by the master processor 10 going via comparison equipment 30 compared with the system of the operation gestalt 1.

[0070] The comparison equipment 30 in this system is connected to the CPU bus 15, and the checker processor 20 and comparison equipment 30 are connected by the CPU bus 25. Therefore, clock cycle $(0.5+n)$ delay of the output from a master processor 10 to a memory control unit 40 is received and carried out from the CPU bus 15, and it compares with the output of the checker processor 20 which received from the CPU bus 25.

[0071] Moreover, comparison equipment 30 receives and carries out clock $(0.5+n)$ delay of the output from a memory control unit 40 to a master processor 10 from the CPU bus 15, and is outputted to the checker processor 20. For this reason, since it receives the output of the clock $(0.5+n)$ ***** memory control unit 40 rather than a master processor 10 while carrying out clock $(0.5+n)$ delay ***** of the checker processor 20 rather than a master processor 10, delay of actuation of the checker processor 20 always $(0.5+n)$ becomes a clock cycle.

[0072] The example (it is called an example 5) of the comparison equipment in this operation gestalt is shown in drawing 11. The comparison equipment 30 by the example 5 has the receive buffer 322 which receives the signal of the CPU bus 15, the transmission buffer 323 which will transmit to the CPU bus 25 if the signal received from the CPU bus 15 by the receive buffer 322 is an output signal of a memory control unit 40, and the receive buffer 324 which receives the output signal of the CPU bus 25.

[0073] Furthermore, the delay circuit 31 which carries out clock cycle $(0.5+n)$ delay of the signal of the CPU bus 15 received by the receive buffer 322, The comparator circuit 331 which compares the signal of the CPU bus 15 with the signal of the CPU bus 25, The registers 313 and 314 synchronized with a clock 120 before comparing the signal of the CPU bus 15 with the signal of the CPU bus 25 in a comparator circuit 331, The flip-flop 332 of RS mold which synchronizes with a clock 120 the inequality detecting signal which a comparator circuit 331 outputs, It has the flip-flop 333 which synchronizes with a clock 110 the inequality detecting signal which a flip-flop 332 outputs, and the AND gate 354,355 turned on / turned off with an input signal 353, and is constituted.

[0074] In this example, in order to make a time delay into 0.5 clock cycles, the register 311 which synchronizes a delay circuit 31 with a clock 120 is used. In addition, the delay circuit 31 in the comparison equipment 30 of this example serves as the function of both the delay circuit 31 in the comparison equipment 30 of an example 1 (drawing 4), and the delay circuit 32.

[0075] While comparison equipment 30 delays 0.5 cycles of output signals of the master processor 10 which received when the signal of the CPU bus 15 received by the receive buffer 322 was an output signal of a master processor 10 with a register 311 and an input signal 353 inputs the AND gate 354 of the condition of 1 into a comparator circuit 331 via a register 313, the output signal of the master processor 10 which inhibited the transmission buffer 323 and received is made not to be outputted to the CPU bus 25.

[0076] Furthermore, from the output signal of a master processor 10, the output signal of the 0.5 clock delay ***** checker processor 20 is received by the receive buffer 324, and the AND gate 355 where the input signal 352 is 1 is inputted into a comparator circuit 331 via a register 314.

[0077] A comparator circuit 331 takes the OR of the comparison result of all signals as compared with each for every signal which corresponds the output signal of a master processor 10 and the output signal of the checker processor 20 which were inputted, and generates an inequality detecting signal. That is, if at least one of the inputted signals becomes an inequality, an inequality detecting signal will be generated. If a comparator circuit 331 outputs an inequality detecting signal, a flip-flop 332 will be set to a logical value 1 to the timing of a clock 120, and will continue outputting a logical value 1. a flip-flop 333 comes out of the output of a flip-flop 332, is synchronized with a clock 110, and is outputted to a bus interface 60 as inequality ***** 36.

[0078] On the other hand, comparison equipment 30 delays 0.5 cycles of output signals of the received memory control unit 40 with a register 311, and is outputted to the CPU bus 25 via a transmission buffer 323 while it will set the input signal 353 of the AND gate 354,355 to 0 and will inhibit the input to a comparator circuit 331, if the signal of the CPU bus 15 received by the receive buffer 322 is an output signal of a memory control unit 40.

[0079] In addition, you may make it check the soundness of a transmission buffer 323, a receive buffer 324, registers 313 and 314, and the CPU bus 25 by setting the input signal 353 of the AND gate 354,355 to 1, receiving again by the receive buffer 324, inputting into a comparator circuit 331 this signal outputted to the CPU bus 25, and comparing both by the transmission buffer 323, while inputting into a comparator circuit 331 the output signal of the memory control unit 40 which a register 311 outputs.

[0080] The block diagram of the comparison equipment by the example 6 is shown in drawing 12. The comparison equipment 30 of an example 6 has added to the serial the register 317 which synchronizes with the register 311 of the same delay circuit 31 as an example 5 (drawing 11) at a clock 110, in order to make a time delay T_d into 1.5 clock cycles.

[0081] Thus, the time delay $T_d = (0.5 + n)$ clock cycle of the checker processor 20 to a master processor 10 can be set as arbitration by adding the register which synchronizes a clock 110 with a delay circuit 31 to n serials.

[0082] The block diagram of the comparison equipment by the example 7 is shown in drawing 13. The comparison male value 30 of an example 7 performs a comparison for the address of the CPU bus 15 and the CPU bus 25, or the comparison of data, only when they are effective.

[0083] For this reason, the decoding circuit 341 which generates the valid signal 342 which comparison equipment 30 decodes the control signal of the CPU bus 15 latched with the register 311, and shows that the address or data is effective, The AND gate 351 which takes the AND of the valid signal 342 and control signal of the CPU bus 15, The decoding circuit 343 which generates the valid signal 344 which decodes the control signal of the CPU bus 25 received by the receive buffer 324, and shows that the address or data is effective, The AND gate 352 which takes the AND of the valid signal 344 and control signal of the CPU bus 25 is added, the output of the AND gate 351 is inputted into a register 313, and the output of the AND gate 352 is inputted into a register 314.

[0084] Here, when the address or data of the CPU bus 15 and the CPU bus 25 is effective, since, as for a valid signal 342 and a valid signal 344, a logical value is set to 1, respectively, the comparison of the address according [the output of the AND gate 351,352] to a comparator circuit 331 in accordance with the address of a control signal or the logical value of data or data is performed.

[0085] On the contrary, when the address or data of a control signal of the CPU bus 15 and the CPU bus 25 is not effective, since, as for a valid signal 342,344, a logical value is set to 0, the output of the AND gate 351,352 serves as a logical value 0, and the comparison of the address by the comparator circuit 331 or data is not performed.

[0086] The block diagram of the comparison equipment by the example 8 is shown in drawing 14. The comparison male value 30 of an example 8 holds the condition of the signal of the CPU bus 15 by which the inequality was detected, and the CPU bus 25.

[0087] For this reason, the register 363 for holding the signal of the CPU bus 15 which a register 313 outputs synchronizing with a clock 120, The register 364 for holding the signal of the CPU bus 25 which a register 314 outputs synchronizing with a clock 120, The selector 361 which chooses the output of a register 313 or the output of a register 363, and is inputted into a register 363, and the selector 362 which chooses the output of a register 314 or the output of a register 364, and is inputted into a register 364 are added.

[0088] While the logical value of the output of 0 [15], i.e., a CPU bus, and the CPU bus 25 of the output of a flip-flop 332 corresponds, a selector 361 chooses the output of a register 313, inputs it into a register 363, and similarly, a selector 362 chooses the output of a register 314 and it inputs it into a register 363. Therefore, a register 363 is updated by the newest logical value of the signal of the CPU bus 15, and a register 364 is updated by the newest logical value of the signal of the CPU bus 25.

[0089] When the output of 1 [15], i.e., a CPU bus, and the CPU bus 25 becomes [the logical value of the output of a flip-flop 332] an inequality, a selector 361 chooses the output of a register 363, inputs it into a register 363, and similarly, a selector 362 chooses the output of a register 364 and it

inputs it into a register 363. Therefore, a register 363 holds the signal of the CPU bus 15 which the inequality generated, and a register 364 holds the signal of the CPU bus 25 which the inequality generated. Thereby, in the self-test by failure interruption, a register 363 and the checker processor 20 can read a register 364, and a master processor 10 can specify the cause of error generating.

[0090] According to the computer system by this operation gestalt, among the doubled processors as mentioned above, the actuation by the side of a checker (0.5+n) Since only fixed time amount T_d of a clock cycle thru/or the near range (± 0.33 clock cycle) is delayed, only T_d delays the output of a master side with comparison equipment and the output of both processors is measured. Malfunction of the coincidence of both the processors resulting from a power-source noise etc. can be reduced sharply, and the precision of the error detection by the output comparison of a doubleness processor can be improved.

[0091] Moreover, in the computer system of this operation gestalt, since direct continuation of the memory control unit is carried out to the master processor by processor bus, the access time from a processor to memory or an I/O device can be shortened, and the processability of a system can be improved.

[0092]

[Effect of the Invention] The master processor which performs predetermined data processing according to this invention, While performing data processing using the checker processor to which it operates with the clock of the same frequency as a master processor, and only fixed time amount of integer clock cycle ± 0.5 clock cycle of arbitration operates the same data processing later than a master processor. It stops almost generating a multiple error and the same error by delaying only said fixed time amount and comparing the output signal of a master processor with the output signal of a checker processor. Thereby, processor error detection by the output comparison of a doubleness processor can be performed certainly.

[0093] Moreover, the incidence rate of a multiple error and the same error can be reduced below in one half of the conventional technique by making time amount of delay into the near less than range of said fixed time amount, i.e., ± 0.33 clock cycles.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the computer system by the operation gestalt 1 of this invention.

[Drawing 2] The block diagram of clock equipment.

[Drawing 3] The block diagram of reset equipment.

[Drawing 4] The block diagram by the example 1 of the comparison equipment concerning this invention.

[Drawing 5] The timing chart of actuation of the comparison equipment by the example 1.

[Drawing 6] The block diagram of the comparison equipment by the example 2.

[Drawing 7] The block diagram of the comparison equipment by the example 3.

[Drawing 8] The block diagram of the comparison equipment by the example 4.

[Drawing 9] The timing chart of actuation of the comparison equipment by the example 4.

[Drawing 10] The block diagram of the computer system by the operation gestalt 2 of this invention.

[Drawing 11] The block diagram of the comparison equipment by the example 5.

[Drawing 12] The block diagram of the comparison equipment by the example 6.

[Drawing 13] The block diagram of the comparison equipment by the example 7.

[Drawing 14] The block diagram of the comparison equipment by the example 8.

[Drawing 15] The graph which shows the experimental result of a coincidence error.

[Drawing 16] The explanatory view showing an example of generating of a coincidence error.

[Description of Notations]

10 — A master processor, 20 — A checker processor, 15, 25, 35 — CPU bus, 30 — 31 Comparison equipment, 32 — A delay circuit, 311, 312, 313, 314, 315, 316, 317, 318 — Register, 321, 323, 326 — A transmission buffer, 322, 324, 325 — Receive buffer, 331 — A comparator circuit, 332, 333 — A flip-flop, 341, 343 — Decoding circuit, 351, 352, 354, 355 — The AND gate, 361, 362 — Selector, 363, 364 — A register, 36 — An inequality detecting signal, 40 — Memory control unit, 50 — Memory, 60 — A bus interface, 70 — System bus, 80 90 [— A clock, 200 / — Reset equipment, 202, 203, 205 / — A flip-flop, 204 / — A delay circuit, 210, 220 / — Reset signal.] — An I/O device, 100 — Clock equipment, 102 — A flip-flop, 110, 120

[Translation done.]